

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-058133

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/1368
G09G 3/20

(21)Application number : 2002-159149

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD
SHARP CORP

(22)Date of filing : 31.05.2002

(72)Inventor : TANAKA YUKIO
ASAMI MUNEHICO
KUBOTA YASUSHI
WASHIO HAJIME

(30)Priority

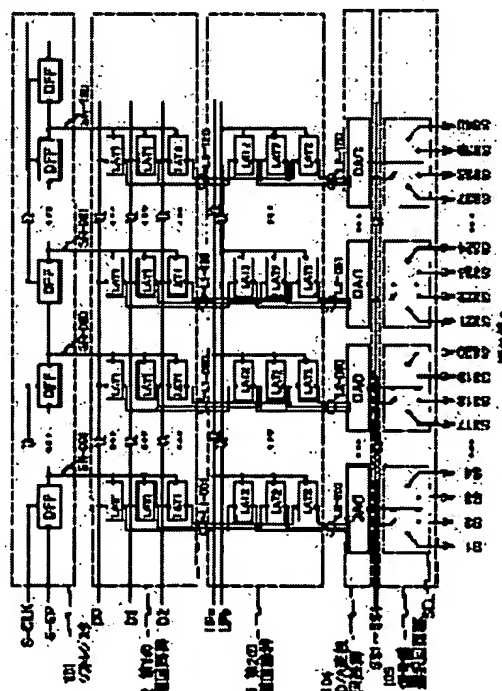
Priority number : 2001171715 Priority date : 06.06.2001 Priority country : JP

(54) IMAGE DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide technology advantageous for downsizing a image display device by reducing an occupancy area of a signal line driving circuit.

SOLUTION: N lines of (where n is a natural number equal to or greater than two) signal line are commonly used for a storage circuit and a D/A converting circuit in a signal line driving circuit. By dividing one horizontal scanning interval into n intervals, the storage circuit and the D/A converting circuit conduct processes for respective different signal lines in the divided intervals so that all signal lines are property driven. Thus, the number of the storage circuits in the signal line driving circuit and



the number of the D/A converting circuits are reduced to 1/n of a conventional case.

LEGAL STATUS

[Date of request for examination] 07.04.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-58133
(P2003-58133A)

(43)公開日 平成15年2月28日(2003.2.28)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
|--------------------------|-------|---------------|-------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 2 |
| G 0 2 F 1/133 | 5 5 0 | G 0 2 F 1/133 | 2 H 0 9 3 |
| 1/1368 | | 1/1368 | 5 C 0 0 6 |
| G 0 9 G 3/20 | 6 2 3 | G 0 9 G 3/20 | 6 2 3 D 5 C 0 8 0 |
| | | | 6 2 3 F |

審査請求 未請求 請求項の数34 O L (全 26 頁) 最終頁に続く

(21)出願番号 特願2002-159149(P2002-159149)
(22)出願日 平成14年5月31日(2002.5.31)
(31)優先権主張番号 特願2001-171715(P2001-171715)
(32)優先日 平成13年6月6日(2001.6.6)
(33)優先権主張国 日本(J P)

(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 田中 幸夫
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
(72)発明者 浅見 宗広
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

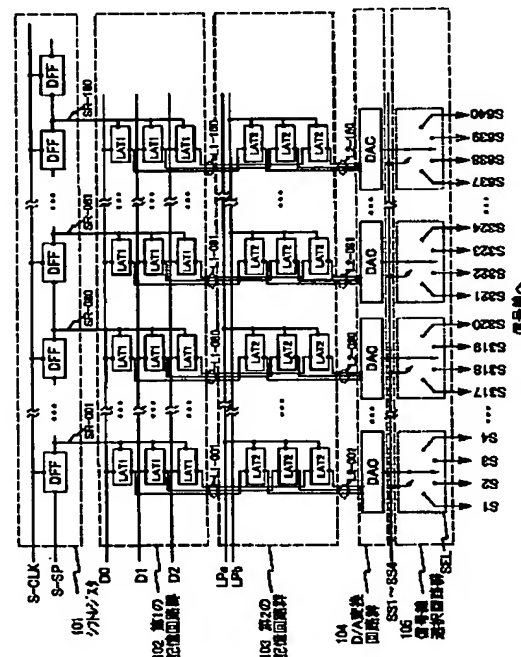
最終頁に続く

(54)【発明の名称】 画像表示装置およびその駆動方法

(57)【要約】

【課題】 画像表示装置においてデジタル方式の信号線駆動回路の占有面積は大きく、これが表示装置の小型化の妨げになっている。

【解決手段】 信号線駆動回路内の記憶回路やD/A変換回路をn本(nは2以上の自然数)の信号線で共有する。1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行なうことで、全ての信号線を駆動することができる。こうして信号線駆動回路内の記憶回路やD/A変換回路を従来例のn分の1にすることが可能となる。



【特許請求の範囲】

【請求項1】信号線駆動回路と、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、前記 $n \times k$ 本の信号線の選択される順番が、可変であることを特徴とする画像表示装置。

【請求項2】請求項1において、前記信号線選択回路はアナログスイッチを有し、前記アナログスイッチに入力される選択信号により前記 $n \times k$ 本の信号線が選択される順番が決定されていることを特徴とする画像表示装置。

【請求項3】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項4】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現するフレーム期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項5】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現するフレーム期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項6】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表

示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラが有するレジスタにおいてデータとして記憶されており、

10 前記 $n \times k$ 本の信号線が選択される順番は、前記レジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号によって、決定されていることを特徴とする画像表示装置。

【請求項7】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

20 前記信号線選択回路はアナログスイッチを有しており、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されており、前記選択信号は前記アナログスイッチに入力されることを特徴とする画像表示装置。

【請求項8】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、

30 前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、前記信号線選択回路はアナログスイッチを有しており、前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラが有するレジスタにおいてデータとして記憶されており、

40 前記 $n \times k$ 本の信号線が選択される順番は、前記レジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号によって決定されており、前記選択信号は前記アナログスイッチに入力されることを特徴とする画像表示装置。

【請求項9】信号線駆動回路と、コントローラと、 $n \times k$ 本（ n 、 k は共に自然数）の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本ずつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

前記 $n \times k$ 本の信号線のうち、1 水平走査期間において最初に選択される信号線は、連続して出現する水平走査期間において異なっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項 10】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本づつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

前記 $n \times k$ 本の信号線のうち、1 水平走査期間において最初に選択される信号線は、連続して出現する水平走査期間において異なっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラが有するレジスタにおいてデータとして記憶されており、

前記 $n \times k$ 本の信号線が選択される順番は、前記レジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号によって、決定されていることを特徴とする画像表示装置。

【請求項 11】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本づつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

前記 $n \times k$ 本の信号線のうち、1 水平走査期間において前記 $n \times k$ 本の信号線が選択される順番は、1 水平走査期間毎にランダムに変わっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項 12】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、前記 $n \times k$ 本の信号線を k 本づつ選択してアナログ映像信号を入力する信号線選択回路とを有し、

前記 $n \times k$ 本の信号線のうち、1 水平走査期間において前記 $n \times k$ 本の信号線が選択される順番は、1 水平走査期間毎にランダムに変わっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラが有するレジスタにおいてデータとして記憶されており、

前記 $n \times k$ 本の信号線が選択される順番は、前記レジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号によって、決定されていることを特徴とする画像表示装置。

【請求項 13】請求項 9 乃至請求項 12 のいずれか 1 項において、

前記信号線選択回路はアナログスイッチを有しており、前記選択信号は前記アナログスイッチに入力されることを特徴とする画像表示装置。

【請求項 14】請求項 1 乃至請求項 13 のいずれか 1 項において、

デジタル映像信号を前記アナログ映像信号に変換する D/A 変換回路を有することを特徴とする画像表示装置。

【請求項 15】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、 m ビット (m は自然数) のデジタル映像信号を記憶する第 1 の記憶回路と、該第 1 の記憶回路の出力信号を記憶する第 2 の記憶回路と、該第 2 の記憶回路の出力信号をアナログ映像信号に変換する D/A 変換回路と、前記 $n \times k$ 本の信号線を k 本づつ選択して前記アナログ映像信号を入力する信号線選択回路とを有し、

前記第 1 の記憶回路と前記第 2 の記憶回路のそれぞれの数は $m \times k$ であり、

前記 $n \times k$ 本の信号線の選択される順番は、連続して出現する水平走査期間において互いに異なっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項 16】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、 m ビット (m は自然数) のデジタル映像信号を記憶する第 1 の記憶回路と、該第 1 の記憶回路の出力信号を記憶する第 2 の記憶回路と、該第 2 の記憶回路の出力信号をアナログ映像信号に変換する D/A 変換回路と、前記 $n \times k$ 本の信号線を k 本づつ選択して前記アナログ映像信号を入力する信号線選択回路とを有し、

前記第 1 の記憶回路と前記第 2 の記憶回路のそれぞれの数は $m \times k$ であり、

前記 $n \times k$ 本の信号線のうち、1 水平走査期間において最初に選択される信号線は、連続して出現する水平走査期間において異なっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項 17】信号線駆動回路と、コントローラと、 $n \times k$ 本 (n, k は共に自然数) の信号線とを有する画像表示装置であって、

前記信号線駆動回路は、 m ビット (m は自然数) のデジタル映像信号を記憶する第 1 の記憶回路と、該第 1 の記憶回路の出力信号を記憶する第 2 の記憶回路と、該第 2

の記憶回路の出力信号をアナログ映像信号に変換するD/A変換回路と、前記 $n \times k$ 本の信号線を k 本ずつ選択して前記アナログ映像信号を入力する信号線選択回路とを有し、

前記第1の記憶回路と前記第2の記憶回路のそれぞれの数は $m \times k$ であり、

前記 $n \times k$ 本の信号線のうち、1水平走査期間において前記 $n \times k$ 本の信号線が選択される順番は、1水平走査期間毎にランダムに変わっており、

前記 $n \times k$ 本の信号線が選択される順番は、前記コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置。

【請求項18】請求項15乃至請求項17のいずれか1項において、前記第1の記憶回路と前記第2の記憶回路はラッチであることを特徴とする画像表示装置。

【請求項19】請求項18において、前記ラッチはアナログスイッチおよび保持容量で構成されていることを特徴とする画像表示装置。

【請求項20】請求項18において、前記ラッチはクロックインバータで構成されていることを特徴とする画像表示装置。

【請求項21】請求項18において、前記ラッチはアナログスイッチおよび複数のインバータで構成されていることを特徴とする画像表示装置。

【請求項22】請求項14乃至請求項21のいずれか1項において、前記D/A変換回路はランプ型D/A変換回路であることを特徴とする画像表示装置。

【請求項23】請求項1乃至請求項22のいずれか1項において、前記信号線駆動回路はポリシリコン薄膜トランジスタで構成されていることを特徴とする画像表示装置。

【請求項24】請求項1乃至請求項23のいずれか1項において、前記信号線駆動回路は単結晶トランジスタで構成されていることを特徴とする画像表示装置。

【請求項25】請求項1乃至請求項24のいずれか1項に記載の前記画像表示装置を用いることを特徴とする電子機器。

【請求項26】アナログ映像信号により画像を表示する画像表示装置の駆動方法であって、

1水平走査期間において、前記アナログ映像信号を、全ての $n \times k$ 本(n 、 k は共に自然数)の信号線に、 k 本ずつ順に入力し、

前記 $n \times k$ 本の信号線を選択する順番は、連続して出現する2つの水平走査期間において互いに異なっていることを特徴とする画像表示装置の駆動方法。

【請求項27】アナログ映像信号により画像を表示する画像表示装置の駆動方法であって、

1水平走査期間において、前記アナログ映像信号を、全ての $n \times k$ 本(n 、 k は共に自然数)の信号線に、 k 本ずつ順に入力し、

前記 $n \times k$ 本の信号線を選択する順番は、連続して出現する2つのフレーム期間において互いに異なっていることを特徴とする画像表示装置の駆動方法。

【請求項28】アナログ映像信号により画像を表示する画像表示装置の駆動方法であって、

1水平走査期間において、前記アナログ映像信号を、全ての $n \times k$ 本(n 、 k は共に自然数)の信号線に、 k 本ずつ順に入力し、

前記 $n \times k$ 本の信号線を選択する順番は、連続して出現する2つの水平走査期間において互いに異なっており、

前記 $n \times k$ 本の信号線を選択する順番は、連続して出現する2つのフレーム期間において互いに異なっていることを特徴とする画像表示装置の駆動方法。

【請求項29】アナログ映像信号により画像を表示する画像表示装置の駆動方法であって、

1水平走査期間において、前記アナログ映像信号を、全ての $n \times k$ 本(n 、 k は共に自然数)の信号線に、 k 本ずつ順に入力し、

前記 $n \times k$ 本の信号線のうち、1水平走査期間において最初に選択される信号線は、連続して出現する2つの水平走査期間において互いに異なっていることを特徴とする画像表示装置の駆動方法。

【請求項30】アナログ映像信号により画像を表示する画像表示装置の駆動方法であって、

1水平走査期間において、前記アナログ映像信号を、全ての $n \times k$ 本(n 、 k は共に自然数)の信号線に、 k 本ずつ順に入力し、

前記 $n \times k$ 本の信号線のうち、1水平走査期間において前記 $n \times k$ 本の信号線が選択される順番は、1水平走査期間毎にランダムに変わっていることを特徴とする画像表示装置の駆動方法。

【請求項31】請求項26乃至請求項30のいずれか1項において、前記 $n \times k$ 本の信号線が選択される順番は、コントローラにおいて生成される選択信号によって決定されていることを特徴とする画像表示装置の駆動方法。

【請求項32】請求項26乃至請求項30のいずれか1項において、前記 $n \times k$ 本の信号線が選択される順番は、コントローラが有するレジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号によって、決定されていることを特徴とする画像表示装置の駆動方法。

【請求項33】請求項26乃至請求項30のいずれか1項において、前記 $n \times k$ 本の信号線が選択される順番は、コントローラが有するレジスタに記憶されているデータに従って、前記コントローラにおいて生成される選択信号が、前記信号線選択回路が有するアナログスイッチに入力されることによって、決定されていることを特徴とする画像表示装置の駆動方法。

【請求項34】請求項26乃至請求項33のいずれか1

項において、

前記アナログ映像信号はデジタル映像信号をD/A変換回路により変換することで得ていることを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタル映像信号を入力する画像表示装置の駆動方法に関し、前記駆動方法を用いた画像表示装置に関する。さらに、前記画像表示装置を用いた電子機器に関する。

【0002】

【従来の技術】近年、多結晶シリコン膜を活性層に用いた薄膜トランジスタ(TFT)の研究開発が活発に行われている。多結晶シリコン膜を用いたTFTは、非晶質シリコン膜を用いたTFTと比べて移動度が2桁以上高いため、TFTのゲート幅を小さく微細化しても回路の動作に必要な電流値を十分確保できる。よって、アクティブマトリクス型のフラットパネルディスプレイの画素部とその駆動回路を同一基板上に一体形成した、システム・オン・パネルの実現が可能である。

【0003】システム・オン・パネルの実現は、ディスプレイの組立工程や検査工程の削減によるコストダウンを可能にし、また、フラットパネルディスプレイの小型化、高精細化をも可能にする。

【0004】ところで、画像表示装置の駆動回路には、アナログのビデオ信号を用いて駆動するものと、デジタルのビデオ信号を用いて駆動するものとがある。デジタルのビデオ信号を用いて駆動する駆動回路は、デジタル方式の放送電波をアナログに変換せずにそのまま駆動回路に入力することが可能であり、近年のデジタル放送に対応することができるので有望視されている。

【0005】デジタルのビデオ信号を用いて駆動するアクティブマトリクス型画像表示装置の一種である、アクティブマトリクス型液晶表示装置の一般的な構成を、図20に示す。図20に示すように、液晶表示装置は信号線駆動回路9001、走査線駆動回路9002、画素部9003、信号線9004、走査線9005、画素TFT9006、液晶セル9007などによって構成されている。液晶セル9007は、画素電極と、対向電極と、画素電極と対向電極の間に設けられた液晶とを有している。

【0006】信号線駆動回路9001の詳細な構成を図21に示す。図22は図21に示した信号線駆動回路におけるタイミングチャートである。ここでは、 k (水平) \times 1 (垂直) の画素を持つ画像表示装置を例にとって説明する。説明をわかりやすくするため、デジタル映像信号が3ビットの場合を例示するが、実際の画像表示装置ではビット数は3には限定しない。また、図21、図22では $k=640$ と具体的な数値を用いて示した。

【0007】一般的な信号線駆動回路は主に、シフトレ

ジスタ9100、第1及び第2の記憶回路群9101、9102、D/A変換回路群9103を有している。シフトレジスタ9100は複数のディレイ型フリップフロップ(DFP)を有している。また、第1の記憶回路群9101及び第2の記憶回路群9102は、それぞれ複数の第1の記憶回路及び複数の第2の記憶回路を有している。なお、図21では第1の記憶回路として第1のラッチ(LAT1)、第2の記憶回路として第2のラッチ(LAT2)を用いている。そしてD/A変換回路群9103は複数のD/A変換回路(DAC)を有している。

【0008】シフトレジスタ9100は、入力された信号線駆動回路用クロック信号(S-CLK)および信号線駆動回路用スタートパルス(S-SP)によって、出力信号のパルスを順次シフトしていく。第1の記憶回路群9101は、シフトレジスタ9100の出力信号に同期して、デジタル映像信号を順次記憶する。第2の記憶回路群9102は、第1の記憶回路群9101の出力をラッチパルスに同期して記憶する。D/A変換回路群9103は、第2の記憶回路群9102の出力信号をアナログ信号に変換する。

【0009】以下、上記信号線駆動回路のより詳しい構成及び動作について説明する。前述したシフトレジスタ9101のDFPの段数(図21に示すDFPの個数に相当)は、水平方向の画素数が k なので、 $k+1$ 段となる。シフトレジスタの出力信号である制御信号(図21ではSR-001~SR-640)は、図22に示すように、S-CLKの1周期分ずつシフトしたパルスを有している。制御信号(SR-001~SR-640)

は、直接またはバッファを介して第1の記憶回路群9101の第1のラッチ(LAT1)に入力される。

【0010】第1のラッチ(LAT1)は前記制御信号に同期して、入力された3ビットのデジタル映像信号(D0~D2)を記憶する。シフトレジスタ9100から出力される制御信号のパルスが、1ライン分の画素数 k と同じ数だけシフトすることによって、1ライン分の画素に対応するデジタル映像信号が第1のラッチ(LAT1)に記憶される。よって、第1のラッチ(LAT1)は、3(デジタル映像信号のビット数) $\times k$ (水平方向における画素数)必要である。

【0011】次に、帰線期間の間に、入力されたラッチパルス(LP)によって、第2の記憶回路群9102の第2のラッチ(LAT2)が動作し、第1のラッチ(LAT1)に記憶されたデジタル映像信号(図21、図22ではL1-001~L1-640)が、第2のラッチ(LAT2)に記憶される。よって、第2のラッチ(LAT2)も同じく $3 \times k$ 必要である。なお、図21では、L1-001~L1-640を、ビット数の区別はせずに、対応する画素ごとに番号を付して示した。

【0012】帰線期間が終了し、次の水平走査期間にな

10

20

30

40

50

ると、再び、シフトレジスタ9100は動作を始めて制御信号を出力し、第1のラッチ(LAT1)へのデジタル映像信号(D0~D2)の入力が開始される。一方、第2のラッチ(LAT2)に記憶されていたデジタル映像信号(L2-001~L2-640)は、D/A変換回路群9103のD/A変換回路(DAC)においてアナログ信号に変換され、各ソース信号線(S1~S640)にアナログ映像信号として入力される。このアナログ映像信号は、各画素の画素TF Tがオンすると、液晶セルの画素電極に書き込まれる。

【0013】以上の動作によって、画像表示装置は表示を行なう。

【0014】

【発明が解決しようとする課題】上記動作を行うデジタル方式の駆動回路は、アナログ方式に比べてその占有面積が非常に大きいという欠点がある。デジタル方式では、信号が“Hi”または“Lo”の2値であらわせるというメリットがあるが、その代わりデータ量が膨大になり、該データを処理するため回路素子の数も多くなる。よって、基板における駆動回路の占有面積の増大が抑えられなくなり、画像表示装置における小型化の大きな妨げとなっている。

【0015】また近年、扱う情報量の急激な増加に伴い、画素数の増大化および画素の高精細化が図られている。しかし、画素数の増加にあわせて、駆動回路が有する回路素子の数も増加し、駆動回路の面積が増大することが予想される。

【0016】ここで、一般に用いられているコンピュータの表示解像度の例を画素数と規格名とによって以下に示す。

| 画素数 | 規格名 |
|-----------|------|
| 640×480 | VGA |
| 800×600 | SVGA |
| 1024×768 | XGA |
| 1280×1024 | SXGA |
| 1600×1200 | UXGA |

【0017】例えば、SXGA規格の場合、ビット数を8とすると、上述した従来の駆動回路では1280本の信号線に対して、第1の記憶回路、第2の記憶回路がそれぞれ10240(8×1280)個必要になる。また、ハイビジョンTV(HDTV)などのような高精細なテレビ受像機が普及し、コンピュータの世界のみならず、AVの分野においても、高精細な画像が必要になってきている。米国では、地上波デジタル放送がはじまり、日本においても、デジタル放送の時代が始まることになる。デジタル放送では画素数1920×1080の規格が有力であり、駆動回路の縮小が早急に求められている。

【0018】しかし、前述したように、信号線駆動回路の占有面積は大きく、これが画像表示装置の小型化の妨

げになっている。本発明は、そのような問題点を解決するために、信号線駆動回路の占有面積を削減し、小型化に有利な技術を提供するものである。

【0019】

【課題を解決するための手段】本発明は上記問題に鑑み、信号線駆動回路内の記憶回路やD/A変換回路をn本(nは2以上の自然数)の信号線で共用する。そして、1水平走査期間をn個に分割し、その分割された各期間に、記憶回路やD/A変換回路がそれぞれ異なる信号線に対して処理を行なうことで、1水平走査期間内に、全ての信号線に映像信号を入力することができる。こうして信号線駆動回路内の記憶回路やD/A変換回路の数を従来例のn分の1にすることが可能となる。

【0020】さらに本発明では、該n本の信号線に映像信号を入力する順序を、1水平走査期間毎または複数の水平走査期間毎に変えるようにした。

【0021】隣り合う信号線は、直接的あるいは間接的に容量結合されている。そのため、1つの信号線に映像信号が書き込まれると、該信号線に隣接する信号線に保持されていた電位が影響を受け、変化する。つまり、最初に映像信号を書き込まれた信号線ほど、後から映像信号が書き込まれた信号線の書き込みの影響を受けて変化しやすい。

【0022】よって、映像信号を入力する順序が固定されていると、常に特定の信号線の電位だけが、その理想値からのずれが大きくなる。そして、電位が変化した信号線に接続された画素においては、常に他の信号線に接続された画素と相対的な階調表現が異なってしまう、人間の目に信号線と平行な縦縞が視認されてしまう。

【0023】しかし、本発明では、一定の期間毎(具体的には1水平走査期間毎、または複数の水平走査期間毎)に、書き込み電位に変調を受けた画素の水平方向における位置が変わるため、人間の目に縦縞が視認されにくい。

【0024】なお、映像信号を入力する信号線の順序は、ランダムでも良いし、ある一定の規則性を有していても良い。また、1水平走査期間ごとに順序を変えなくとも良く、2水平走査期間ごと、またはそれ以上の水平走査期間毎に順序を変えるようにしても良い。ただし、人間の目に縦縞が視認されにくくなる程度に、水平走査期間の数を設定することが肝要である。フレーム周波数を高くすると縦縞が見えにくくなることから、フレーム周波数との兼ね合いで、順序を変える水平走査期間の数を設定することが好ましい。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について説明する。ここでは、一般に水平方向と垂直方向の画素数をそれぞれk、1とした画像表示装置を例にとって説明する。本実施の形態では、デジタル映像信号が3ビットの場合について説明するが、本発明は3ビットに限

らず、6ビット、8ビットまたはそれ以外のビット数についても適用可能である。また、以下の説明において、1つのD/A変換回路を共用している信号線の数を示すパラメータとして n を用いるが、水平方向の画素数 k が n の倍数ではないとき、新たに画素を適当に付け加え、水平方向の画素数を k よりも大きい n の倍数 k' にする。この場合、画素数 k' を新たに k と定義すれば良い。そして、付け加えた画素を仮想的なものとして取り扱えば、実際の動作には何ら支障をきたさない。

【0026】図1に本実施の形態の信号線駆動回路の構成を、図2にはそのタイミングチャートを示す。ただし、図1、図2では水平方向の画素数 $k=640$ の具体例を示している。以下では、一般的な説明として k などの記号を用いるが、〔 〕内には $k=640$ の場合の具体的な数字を示すことにする。また図1では $n=4$ の場合について示しているが、 n は2以上の自然数であれば、この数値に限定されない。

【0027】本実施の形態の信号線駆動回路は、複数のディレイ型フリップフロップ(DFE)を有するシフトレジスタ101と、複数の第1の記憶回路を有する第1の記憶回路群102と、複数の第2の記憶回路を有する第2の記憶回路群103と、複数のD/A変換回路(DAC)を有するD/A変換回路群104と、複数の信号線選択回路(SEL)とを有する信号線選択回路群105とを有している。なお、図1では第1の記憶回路として第1のラッチ(LAT1)、第2の記憶回路として第2のラッチ(LAT2)を用いている。図1では図21で示した画像表示装置とは異なり、2種類のラッチ信号線(LP_a、LP_b)が供給され、第2の記憶回路の前半部(1~80〔1~ $k/2n$ 〕)段目のDFEに対応するLAT2に第1のラッチ信号線(LP_a)が、後半部(81~160〔1+〔 $k/2n$ 〕~ k/n 〕)段目のDFEに対応するLAT2に第2のラッチ信号線(LP_b)がそれぞれ接続されている。なお、本発明においてラッチ信号線は1つでも良い。

【0028】具体的には、図1ではシフトレジスタ101は、DFEが $(k/n)+1$ 段〔161段〕、第1の記憶回路(LAT1)と第2の記憶回路(LAT2)がそれぞれ $3k/n$ 個〔480個〕、そしてD/A変換回路(DAC)が k/n 個〔160個〕で構成されている。図1から判るように、信号線駆動回路を構成する回路の数が図21に示した信号線駆動回路に比べ、およそ n 分の1〔4分の1〕になる。

【0029】次にその動作について、図2を参照しながら説明する。シフトレジスタ101には信号線駆動回路用スタートパルス(S-SP)と信号線駆動回路用クロック信号(S-CLK)が入力される。図22では1水平走査期間にS-SPのパルスが1回出現するのに対し、本実施の形態では n 回〔4回〕出現する。シフトレジスタ101は図22と同様に、入力されたS-SPと

S-CLKによって、出力信号のパルスを順次シフトしていく。出力信号は制御信号〔SR-001~SR-160〕として第1の記憶回路(LAT1)に入力する。

【0030】シフトレジスタ101から出力される制御信号のパルスに同期して、デジタル映像信号(D0~D2)が第1の記憶回路(LAT1)に順次記憶される。そしてDFEの段数は図21のおよそ n 分の1〔4分の1〕になり、本発明では、第1の記憶回路が1水平走査期間の間に n 回〔4回〕の記憶動作を行なう。なお、図1では、第1の記憶回路群102から第2の記憶回路群103に入力するデジタル映像信号L1-001~L1-160を、ビット数の区別はせずに、対応する信号線ごとに番号を付して示した。

【0031】図21と異なり、デジタル映像信号L1-001~L1-160はそれぞれ、 n 本の信号線に対応している。例えば図2では、デジタル映像信号L1-001は信号線S1~Sn〔S1~S4〕に順に対応している。同様に、デジタル映像信号L1-001~L1-160は、対応する信号線の番号によって表すと、順に、S1~Sn、Sn+1~S2n、S2n+1~S3n、…、Sk-n+1~Sk〔S1~S4、S5~S8、S9~S12、…、S637~S640〕と表される。

【0032】1水平走査期間に、デジタル映像信号L1-i(i=1~160)は対応する n 本の信号線の情報を出力するが、その対応する信号線の順序は必ずしも固定されてはいない。本発明では、1水平走査期間毎に、デジタル映像信号L1-i(i=1~160)が信号線に関して出力する順番を変える。言い換えると、デジタル映像信号L1-001~L1-160のそれぞれに対応する信号線の順序を、1水平走査期間毎に変える。この順序は、後述する信号線選択回路の信号線の選択順と同一になるようにデジタル映像信号(D0~D2)のデータ並びを変換することで実現する。

【0033】1水平走査期間に2種類のラッチ信号線(LP_a、LP_b)を介してそれぞれ第2の記憶回路群103に入力されるラッチパルスは、 n 個づつ、合計で $2n$ 個〔8個〕のパルスが出現する。ラッチパルスは帰線期間だけでなく、デジタル映像信号が入力されている期間も入力される。

【0034】本実施の形態では、 $(k/2n)$ 段目〔80段目〕の第1の記憶回路(LAT1)への、先の信号線に対応するデジタル映像信号の書き込みが終了してから、1段目の第1の記憶回路(LAT1)に書き込まれたデータが、次の信号線に対応するデジタル映像信号に書き換えられる前に、ラッチパルスが第1のラッチ信号線(LP_a)に入力される。また、 (k/n) 段目〔160段目〕の第1の記憶回路(LAT1)への、先の信号線に対応するデジタル映像信号の書き込みが終了してから、 $(k/2n)+1$ 段目〔81段目〕の第1の記憶

回路(LAT1)に書き込まれたデータが、次の信号線に対応するデジタル映像信号に書き換えられる前に、ラッチパルスが第2のラッチ信号線(LPb)に入力される。

【0035】つまり、前半の第1の記憶回路へのデジタル映像信号の書き込みが終了すると、後半の第1の記憶回路へのデジタル映像信号の書き込みが開始される。後半の第1の記憶回路へのデジタル映像信号の書き込みが行われている間に、前半の第1の記憶回路に書き込まれているデジタル映像信号は、前半の第2の記憶回路に転送される。後半の第1の記憶回路へのデジタル映像信号の書き込みが終了すると、前半の第1の記憶回路への、次のデジタル映像信号の書き込みが開始される。前半の第1の記憶回路へのデジタル映像信号の書き込みが行われている間に、後半の第1の記憶回路に書き込まれているデジタル映像信号は、後半の第2の記憶回路に転送される。

【0036】これらの動作により、各信号線に対応するデジタル映像信号が第2の記憶回路群103へ順次転送される。

【0037】なお、図1では、ラッチパルス線を2つ設け、ラッチパルスを1水平走査期間に2n回〔8回〕入力した例を示したが、本発明はこの構成に限定されない。全ての第2の記憶回路(LAT2)を1つのラッチパルス線に接続するようにしても良い。この場合、シフトレジスタ101が1回走査を終了すると共に帰線期間を設け、デジタル映像信号の第1の記憶回路への書き込みを前記帰線期間において中断する必要がある。そして該帰線期間において、全ての第1の記憶回路(LAT1)から全ての第2の記憶回路(LAT2)への転送を行う。そして、ラッチパルスの入力は1水平走査期間中にn回〔4回〕となる。

【0038】第2の記憶回路(LAT2)から出力される3ビットのデジタル映像信号は、D/A変換回路(DAC)に inputs され、アナログ映像信号に変換される。なお、第2の記憶回路とD/A変換回路の間に、バッファ回路、レベルシフト回路、出力の期間を制限するイネーブル回路などを入れても良い。変換されたアナログ映像信号は、信号線選択回路群105が有する信号線選択回路(SEL)を介して、適切な信号線へ書き込まれる。

【0039】信号線選択回路(SEL)によって、適切な信号線へアナログ映像信号が書き込まれるタイミングは、ラッチパルスの入力されるタイミングによって決まる。1水平走査期間内に、シフトレジスタがn回走査するのに対応し、上記のように第2の記憶回路もn回記憶動作を繰り返す。よって、ある信号線に対応するデジタル映像信号が第2の記憶回路に記憶されている間に、D/A変換回路(DAC)から出力されるアナログ映像信号を対応する信号線を選択して書き込みを完了させなければならない。

【0040】信号線選択回路(SEL)から信号線へのアナログ映像信号の入力は、信号線選択回路(SEL)に入力される選択信号のパルスに同期して行われる。選択信号のパルスは、1水平走査期間にn回出現する。

【0041】なお本発明では、n本の信号線の、アナログ映像信号が入力される順番を1水平走査期間毎または複数の水平走査期間毎に変える。なお信号線の選択順は、信号線選択回路(SEL)に入力される選択信号SS1~SS4〔SS1~SSn〕によって制御される。

【0042】アナログ映像信号を入力する信号線の順序は、ランダムでも良いし、ある一定の規則性を有していても良い。また、1水平走査期間ごとに順序を変えなくとも良く、2水平走査期間ごと、またはそれ以上の水平走査期間毎に順序を変えるようにしても良い。例えば、1フレーム期間毎に順序を変えても良い。ただし、人間の目に縦縞が視認されにくくなる程度に、水平走査期間の数を設定することが肝要である。フレーム周波数を高くすると縦縞が見えにくくなることから、フレーム周波数との兼ね合いで、順序を変える水平走査期間の数を設定することが好ましい。

【0043】表1に本実施の形態の信号線の選択順を示す。

【0044】

〔表1〕

| Si | S(i+1) | S(i+2) | S(i+3) |
|----|--------|--------|--------|
| 1 | 2 | 3 | 4 |
| 4 | 3 | 2 | 1 |
| 1 | 2 | 3 | 4 |
| 4 | 3 | 2 | 1 |
| ⋮ | ⋮ | ⋮ | ⋮ |

【0045】信号線が表1に示した順序で選択された場合に、画素にアナログ映像信号が書き込まれる順序を、図3(A)に模式図で示す。なお比較のため、画素にアナログ映像信号が書き込まれる一般的な順序を、図3(B)に模式図で示す。

【0046】図3(A)に示すとおり、表1に示す順序で信号線を選択した場合、アナログ映像信号が最初に書き込まれる信号線が、1水平走査期間毎に異なる。一方、図3(B)に示すとおり、信号線の選択順が固定されている場合は、各水平走査期間において常に同じ信号線に最初にアナログ映像信号が書き込まれる。

【0047】よって、表1に示した駆動方法では、最初に映像信号が書き込まれる信号線の電位が変化しても、1水平走査期間毎に変調を受けた電位が書き込まれる画素の水平方向における位置が変わるため、人間の目に縦縞が視認されにくい。なお、図3(A)の駆動例において、アナログ映像信号が最初に書き込まれる信号線が、複数の水平走査期間毎に異なっても良い。

【0048】なお本発明の信号線の選択順は、表1に示した順序に限定されない。表1に示すようにある一定の

規則性を有していても良いし、ランダムであっても良い。表2に、本発明の信号線の選択順の、表1とは異なる例を示す。

【0049】

【表2】

| S_i | $S(i+1)$ | $S(i+2)$ | $S(i+3)$ |
|-------|----------|----------|----------|
| 1 | 3 | 2 | 4 |
| 4 | 1 | 3 | 2 |
| 2 | 4 | 1 | 3 |
| 3 | 2 | 4 | 1 |
| ⋮ | ⋮ | ⋮ | ⋮ |

【0050】表2では表1と異なり、1水平走査期間毎に、最初に選択される信号線の番号が異なり、なおかつ、全ての信号線が、必ずいずれかの水平走査期間において最初に選択されている。上記構成では、最初に選択される期間が全ての信号線において設けられているので、表1の駆動方法に比べ、フレーム周波数が同じでも縦縞がより視認されにくくなる。

【0051】また、1水平走査期間毎または複数の水平走査期間毎に信号線の選択順を変え、さらに各フレーム期間毎に信号線の選択順を変えるようにしても良い。例えば、先のフレーム期間においては表1に示した順序で信号線を選択し、次に出現するフレーム期間においては、表2に示した順序で信号線を選択するようにしても良い。この構成により、単に水平走査期間毎に順序を変える駆動方法に比べて、フレーム周波数が同じでも縦縞がより視認されにくくなる。

【0052】なお、本発明の実施の形態では、デジタル映像信号を入力し、各信号線に対応するアナログ映像信号を出力する信号線駆動回路（いわゆるデジタル信号線駆動回路）を例に挙げて示しているが、本発明はこれに

限定されない。例えば、アナログ映像信号を入力し、各信号線に対応するアナログ映像信号を出力する信号線駆動回路（いわゆるアナログ信号線駆動回路）を用いても良い。

【0053】本発明は上記構成により、信号線駆動回路内の回路素子の数を従来例の n 分の1にすることが可能である。また、階調の異なる画素の水平方向における位置が変わるため、フレーム周波数を変えなくとも人間の目に縦縞が視認されにくくなる。

【0054】また、以上の実施の形態の説明において、第1の記憶回路を制御する回路としてシフトレジスタを用いたが、シフトレジスタではなく、デコーダ回路を使用しても良い。また、D/A変換回路はランプ型D/A変換回路を用いても良い。その場合、D/A変換回路の個数は k/n とは限定されない。

【0055】

【実施例】以下、本発明の実施例を示す。

【0056】（実施例1）本実施例では、本発明の画像表示装置において用いられる信号線選択回路の詳しい構成について説明する。

【0057】図4（A）に本実施例の信号線選択回路（SEL）の回路図を示す。なお本実施例では、1つのD/A変換回路を共用している信号線の数を示すパラメータとして n を用いる。ただし図4では説明を簡単にするために、1つのDACが4つの信号線に対応している場合について示す。以下、一般的な説明に n を用いるが、〔 〕内に $n=4$ の場合の具体的な数字を示す。

【0058】本実施例では、アナログスイッチが p チャネル型トランジスタと n チャネル型トランジスタを有している。しかし本発明はこれに限定されず、 p チャネル型トランジスタのみを用いたアナログスイッチでも良いし、 n チャネル型トランジスタのみを用いたアナログスイッチであっても良い。

【0059】本実施例の信号線駆動回路（SEL）は、 n 個〔4個〕のアナログスイッチ400_1～400_n〔400_1～400_4〕を有している。そして各アナログスイッチには、スイッチングを制御する選択信号が入力されている。

【0060】スイッチングを制御する選択信号は、選択信号線を介してアナログスイッチ400_1～400_n〔400_1～400_4〕に入力される。各アナログスイッチに異なる電位を有する選択信号が入力されており、選択信号線は各アナログスイッチごとに設ける。

【0061】本実施例では、アナログスイッチが p チャネル型トランジスタと n チャネル型トランジスタを有しており、選択信号の極性を反転させた信号もアナログスイッチに入力する。よって、本実施例では選択信号 $SS_1 \sim SS_n$ 〔 $SS_1 \sim SS_4$ 〕と、各選択信号の極性を反転させた信号 $SSb_1 \sim SSb_n$ 〔 $SSb_1 \sim SSb_4$ 〕を、各アナログスイッチに入力する。なお、本実施例では、選択信号の極性を反転させた信号も併せて選択信号と総称する。

【0062】図4（B）に、信号線 $S_i \sim S(i+n-1)$ 〔 $S(i+3)$ 〕を選択するときの、選択信号のタイミングチャートを示す。なお選択信号 $SSb_1 \sim SSb_4$ は、選択信号 $SS_1 \sim SS_4$ の極性を反転させただけなので、ここでは選択信号 $SS_1 \sim SS_4$ のみ示す。

【0063】図4（B）では、同じDACに接続された n 本〔4本〕の信号線 S_i 、 $S(i+1)$ 、 $S(i+2)$ 、 $S(i+n-1)$ 〔 $S(i+3)$ 〕を、表1に示した順序で選択する例を示している。なお本実施例の信号線の選択順は、表1に示した順序に限定されない。

【0064】まず水平走査期間が開始されると、選択信号 SS_1 、 SSb_1 のバースに同期して信号線 S_i が選択される。そして、DACから出力されたアナログ映像信号がアナログスイッチ400_1を介して信号線 S_i に入力される。

【0065】そして同様に、選択信号 $SS_2 \sim SS_n$ 〔 $SS_2 \sim SS_4$ 〕、 $SSb_2 \sim SSb_n$ 〔 $SS_2 \sim SS_4$ 〕のバースに同期して、順に信号線 $S(i+1) \sim$

$S(i+n-1)$ [$S(i+3)$] が選択される。そして、DACから出力されたアナログ映像信号がアナログスイッチ400_2~400_4[400_n]を介して信号線 $S(i+1) \sim S(i+3)$ にされる。

【0066】そして1水平走査期間が終了し、次の水平走査期間が開始されると、選択信号 SS_n 、 SS_{bn} [SS_4 、 SS_{b4}] のパルスに同期して信号線 $S(i+n-1)$ [$S(i+3)$] が選択される。そして、DACから出力されたアナログ映像信号がアナログスイッチ400_n[400_4]を介して信号線 $S(i+n-1)$ [$S(i+3)$] にされる。

【0067】そして同様に、選択信号 $SS(n-1) \sim SS_1$ [$SS_3 \sim SS_1$]、 $SS_b(n-1) \sim SS_{b1}$ [$SS(n-1) \sim SS_1$] のパルスに同期して、順に信号線 $S(i+n-2) \sim S_i$ [$S(i+2) \sim S_i$] が選択される。そして、DACから出力されたアナログ映像信号がアナログスイッチ400_(n-1)[400_3]~400_1を介して信号線 $S(i+2) \sim S_i$ にされる。

【0068】上述したように、信号線の選択順は選択信号によって制御することが可能である。

【0069】(実施例2) 本実施例では、駆動に関わる各種信号を生成する、本発明の画像表示装置のコントローラの構成について説明する。

【0070】図5に本実施例の画像表示装置の構成をブロック図で示す。500は画素部、501は信号線駆動回路、502は走査線駆動回路を示している。503は信号線選択回路群であり、信号線駆動回路501に含まれる。

【0071】504はコントローラであり各種回路を有している。具体的には主に、バッファ505、表示用メモリ506、タイミング発生回路507、選択回路用タイミング発生回路508、フォーマット回路509を有している。なおこの他に、バイアス電圧発生回路、シリアルインターフェース等を有していても良い。

【0072】コントローラ504は主に映像信号(Video Signals)と、基準クロック信号(Dot CLK)と、水平同期信号(Hsync)と、垂直同期信号(Vsync)とがされる。

【0073】映像信号はバッファ505において増幅または緩衝増幅され、表示用メモリ506に書き込まれる。なお、必ずしも映像信号をバッファ505において増幅または緩衝増幅する必要はなく、バッファ505を設けることは必須ではない。

【0074】また、基準クロック信号、水平同期信号(Hsync)及び垂直同期信号(Vsync)は、タイミング発生回路507にされる。なお本実施例では、基準クロック信号を画像表示装置の外部からしているが、本実施例はこの構成に限定されない。基準クロック信号を外部からせずに、画像表示装置に

された水平同期信号(Hsync)をもとに生成するようにしても良い。

【0075】タイミング発生回路507では、入力された基準クロック信号、水平同期信号(Hsync)及び垂直同期信号(Vsync)に従って、各種回路の動作のタイミングを決定する信号を生成する。

【0076】具体的には、信号線駆動回路501用のクロック信号(S-CLK)及びスタートパルス信号(S-SP)と、走査線駆動回路502用のクロック信号(G-CLK)及びスタートパルス信号(G-SP)が、タイミング発生回路507において生成される。

【0077】さらに、映像信号を表示用メモリ506に書き込むタイミングと、表示用メモリ506が保持する映像信号をフォーマット回路509にするタイミングが、タイミング発生回路507において決定される。

【0078】また、信号線選択回路群503において信号線の選択されるタイミングが、タイミング発生回路507において決定される。なお、各水平走査期間内にn本の信号線が選択されるため、信号線の選択されるタイミングは、各水平走査期間内にn回出現する。ただしnは1つのDACを共用している信号線の数を意味する。信号線の選択されるタイミングを決める信号は、タイミング発生回路507から選択回路用タイミング発生回路508にされる。

【0079】選択回路用タイミング発生回路508は、選択信号を生成する選択信号生成回路510と、信号線の選択順のデータが蓄積されている選択順決定レジスタ511とを有している。選択信号生成回路510には、タイミング発生回路507から、信号線の選択されるタイミングを決める信号がされる。また選択信号生成回路510には、選択順決定レジスタ511から、信号線の選択順のデータがされる。

【0080】選択信号生成回路510は、信号線の選択順のデータと、n回出現する信号線の選択されるタイミングを決める信号をもとに、選択信号 $SS_1 \sim SS_n$ を生成する。選択信号 $SS_1 \sim SS_n$ のそれぞれは、1水平走査期間内にパルスが1回出現する。該パルスに同期して、信号線が選択される。

【0081】一方、フォーマット回路509にも、選択順決定レジスタ511に蓄積されている信号線の選択順のデータが送られる。そして、フォーマット回路509にされた映像信号は、該信号線の選択順のデータに従って並び替えられ、信号線駆動回路501の第1の記憶回路群(図示せず)にされる。なお、フォーマット部509において、映像信号をシリアル-パラレル変換して複数に分割してから、第1の記憶回路群(図示せず)に入力しても良い。

【0082】なお図5では、タイミング発生回路507と選択回路用タイミング発生回路508とを区別して示したが、選択回路用タイミング発生回路508を、タイ

ミング発生回路507の一部とみなしても良い。また図5では、表示用メモリ506をコントローラ504の一部とみなして示したが、表示用メモリ506をコントローラ504と別にしても良い。

【0083】また、図5は表示用メモリがコントローラ504としか接続されておらず、CPU（図示せず）が管理するシステムバスとは独立しているが、本実施例はこの構成に限定されない。CPUとコントローラ504とが同一の表示用メモリを共用していても良い。

【0084】また、選択順決定レジスタ511に記憶されている、信号線の選択順のデータは、マスク等の設計により決められた固定データであっても良いし、CPUやディップスイッチ等による書き換えが可能なデータであっても良い。

【0085】本実施例の構成は、実施例1と自由に組み合わせることで実施することが可能である。

【0086】（実施例3）本実施例では、本発明の信号線駆動回路で用いられる第1及び第2の記憶回路の具体的な構成について説明する。

【0087】記憶回路の具体例を図6に示す。図6（A）はクロックドインバータを用いたものであり、図6（B）はSRAM型のものであり、図6（C）はDRAM型のものである。これらは代表例であり、本発明はこれらの形式に限定されない。

【0088】なお、制御信号2は、制御信号1の極性を反転させた信号に相当する。また、第2の記憶回路の場合、制御信号にラッチパルスを入力する。

【0089】本実施例の構成は、実施例1または2と自由に組み合わせることで実施することが可能である。

【0090】（実施例4）本実施例では、D/A変換回路にランプ型D/A変換回路を採用した場合の、信号線駆動回路の構成について説明する。

【0091】図7にランプ型D/A変換回路を用いた場合の信号線駆動回路の概略図を示す。なお、本実施例ではXGA規格の画像表示装置で3ビットのデジタル映像信号に対応した場合を説明するが、本発明は3ビットに限らず、それ以外のビット数に対応した場合やXGA以外の規格の画像表示装置についても有効である。

【0092】本実施例において、シフトレジスタ701、第1の記憶回路群702、第2の記憶回路群703、信号線選択回路群706の構成及び動作は、実施の形態と同じである。本実施例は、第2の記憶回路703の下段に、ビット比較パルス幅変換回路群704及びアナログスイッチ群705を有している点が実施の形態の場合と異なる。ビット比較パルス幅変換回路群704とアナログスイッチ群705との二つの回路が、ランプ型D/A変換回路として機能する。

【0093】ビット比較パルス幅変換回路群には、本実施例では256個のビット比較パルス幅変換回路（BPC）が設けられている。BPCには、第2の記憶回路群

703に記憶されていた3ビットのデジタル映像信号、カウント信号（C0～C2）、セット信号（ST）が入力される。

【0094】アナログスイッチ群705には、本実施例では256個のアナログスイッチ（ASW）が設けられている。アナログスイッチ群705には、ビット比較パルス幅変換回路群704の出力（PW-i、iは001～256）と、階調電源（VR）が入力される。信号線選択回路群706にはアナログスイッチ群705の出力と選択信号（SS1～SS4）が入力される。

【0095】第i段目のBPCの構成を図8に例示する。BPCは排他的論理和ゲート、3入力NANDゲート、インバータ、セトリセットフリップフロップ（RS-FF）を有する。図8では、i段目の第2の記憶回路の出力を、ビットを区別して、L2-i（0）、L2-i（1）L2-i（2）（括弧内はビット番号を表す）とした。

【0096】次に、本実施例の信号線駆動回路の動作について説明する。図7の回路動作の概略を理解するために必要な信号系のタイミングチャートを図9に示した。シフトレジスタ701から第2の記憶回路群703までの動作も、実施の形態で示した信号線駆動回路と同じである。また、信号線選択回路群706に入力される選択信号（SS1～SS4）についても、実施の形態の図2で示した信号線駆動回路の場合と同じである。

【0097】図9において、信号線選択回路群706により4本の信号線が順次選択されていくたびに、カウント信号（C0～C2）、セット信号（ST）、階調電源（VR）が周期的に入力される。これにより信号線全てに情報の書き込みを同等に行なうことができる。

【0098】ランプ型D/A変換回路の詳細な動作を説明するために、4本の信号線のうち1本が信号線選択回路により選択されている期間の、タイミングチャートを図10に示す。

【0099】まず、セット信号のパルスに同期して、RS-FF30がセットされ、出力PW-iがHiレベルになる。次に、第2の記憶回路群703に記憶されていたデジタル映像信号は、排他的論理和ゲートによってカウント信号（C0～C2）とビット毎に比較される。3ビット全てが一致した場合には、全ての排他的論理和ゲートの出力がHiレベルになり、その結果、3入力NANDゲートの出力（反転RC-i）はLoレベルになる（したがって、RC-iはHiレベルになる）。この3入力NANDの出力もRS-FF30に入力され、RC-iがHiレベルになるとリセットされ、出力PW-iがLoレベルに戻る。図10には、3ビットのデジタル映像信号{L2-i（0）、L2-i（1）L2-i（2）}が{0、0、1}の場合についてのRC-i、PW-i、DA-iの出力例を示した。こうして、デジタル映像信号の情報はBPCの出力PW-iのパルス幅

に変換される。

【0100】BPCの出力PW-iは、アナログスイッチ群705の開閉を制御する。本実施例では、アナログスイッチ群705はBPCの出力PW-iがHiレベルの間だけオンになり、PW-iがLoレベルになるとオフになる。アナログスイッチ群705にはカウント信号(C0~C2)に同期した階段状の電圧レベルをもつ階調電源(VR)が印加されており、PW-iがLoレベルになる瞬間の階調電源(VR)の電圧が後段の信号線選択回路を経由して、信号線に書き込まれる。

【0101】以上の動作により、デジタル映像信号をアナログ映像信号に変換し、信号線を駆動する。なお、階調電源(VR)は階段状である必要はなく、連続的に単調に変化するものでもよい。また、ビット比較パルス幅変換回路群704の出力とアナログスイッチ群705の間に、バッファ回路、レベルシフト回路などを入れてもよい。

【0102】以上のように、本発明では、D/A変換回路としてランプ型D/A変換回路を用いることもでき、その回路構成は従来の約4分の1で済み、駆動回路の占有面積および、素子数の大幅な削減が可能となる。

【0103】本実施例の構成は、実施例1~3と自由に組み合わせて実施することが可能である。

【0104】(実施例5)本実施例では、本発明の画像表示装置の具体的な作製方法例として、アクティブマトリクス型液晶表示装置の作製方法を例に採りあげる。特にここでは、画素部のスイッチング素子である画素TFTと、画素部の周辺に設けられる駆動回路(信号線駆動回路、走査線駆動回路等)のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路であるCMOS回路を、画素TFT部としてはnチャネル型TFTとを图示することにする。

【0105】図11(A)において、基板(アクティブマトリクス基板)6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10~20℃程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFTを形成する表面には、基板6001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜6002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜を100nm、同様にSiH₄、N₂Oから作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

【0106】次に、20~150nm(好ましくは30~80nm)の厚さで非晶質構造を有する半導体膜6003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非

晶質シリコン膜を54nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜6002と非晶質シリコン膜6003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気には晒さないことでその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる(図11(A))。

【0107】そして、公知の結晶化技術を使用して非晶質シリコン膜6003aから結晶質シリコン膜6003bを形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良いが、ここでは、特開平7-130652号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜6003bを形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500℃で1時間程度の熱処理を行ない、含有水素量を5atom%以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するの

で、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では54nm)よりも1~15%程度減少する(図11(B))。

【0108】そして、結晶質シリコン膜6003bを島状にパターンニングして、島状半導体層6004~6007を形成する。その後、プラズマCVD法またはスパッタ法により50~150nmの厚さの酸化シリコン膜によるマスク層6008を形成する。(図11(C))。

【0109】そしてレジストマスク6009を設け、nチャネル型TFTを形成することとなる島状半導体層6005~6007の全面に $1 \times 10^{16} \sim 5 \times 10^{17}$ atom s/cm²程度の濃度でp型を付与する不純物元素としてボロン(B)を添加する。このボロン(B)の添加は、しきい値電圧を制御する目的でなされる。ボロン(B)の添加はイオンドーブ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン(B)添加は必ずしも必要ではない(図11(D))。その後、レジストマスク6009を除去する。

【0110】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層6010~6012に選択的に添加する。そのため、あらかじめレジストマスク6013~6016を形成する。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン(PH₃)を用いたイオンドーブ法を適用した。形成された不純物領域60

10

20

30

40

50

17、6018のリン(P)濃度は $2 \times 10^{19} \sim 5 \times 10^{19}$ atoms/cm³の範囲とすれば良い。本明細書中では、ここで形成された不純物領域6017~6019に含まれるn型を付与する不純物元素の濃度を(n^-)と表す。また、不純物領域6019は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加する(図12(A))。その後、レジストマスク6013~6016を除去する。

【0111】次に、マスク層6008をフッ酸などにより除去した後、図11(D)と図12(A)で添加した不純物元素を活性化させる工程を行なう。活性化は、500~600℃の窒素雰囲気中で1~4時間の熱処理や、レーザー活性化の方法により行なうことができる。また、両者を併用しておこなっても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光にはKrFエキシマレーザー光(波長248nm)を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数5~50Hz、エネルギー密度100~500mJ/cm²として線状ビームのオーバーラップ割合を80~98%で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく適宜決定することができる。

【0112】そして、ゲート絶縁膜6020をプラズマCVD法またはスパッタ法を用いて10~150nmの厚さでシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図12(B))

【0113】次に、ゲート電極を形成するために第1の導電層を成膜する。この第1の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層(A)6021と金属膜から成る導電層(B)6022とを積層させた。導電層(B)6022はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)6021は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)で形成する。また、導電層(A)6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良い。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20 \mu\Omega \text{cm}$ 以下の比抵抗値を実現することができる。

【0114】導電層(A)6021は10~50nm(好ましくは20~30nm)とし、導電層(B)6022は200~400nm(好ましくは250~350nm)とすれば良い。本実施例では、導電層(A)6021に30nmの厚さの窒化タンタル膜を、導電層(B)6022には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層(A)6021の下に2~20nm程度の厚さでリン(P)をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層(A)または導電層(B)が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる(図12(C))。

【0115】次に、レジストマスク6023~6027を形成し、導電層(A)6021と導電層(B)6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層(A)から成る6028a~6032aと、導電層(B)から成る6028b~6032bとが一体として形成されている。この時、駆動回路を構成するTFTのゲート電極6028~6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する(図12(D))。

【0116】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行なう。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン(B₂H₆)を用いたイオンドーブ法で不純物領域6034を形成した。この領域のボロン(B)濃度は $3 \times 10^{19} \sim 3 \times 10^{21}$ atoms/cm³となるようにする。その後、レジストマスク6033を除去する。本明細書中では、ここで形成された不純物領域6034に含まれるp型を付与する不純物元素の濃度を(p^+)と表す(図13(A))。

【0117】次に、nチャネル型TFTにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035~6037を形成し、n型を付与する不純物元素を添加して不純物領域6039~6042を形成した。これは、フォスフィン(PH₃)を用いたイオンドーブ法で行ない、この領域のリン(P)濃度を $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³とした。本明細書中では、ここで形成された不純物領域6039~6042に含まれるn型を付与する不純物

元素の濃度を(n^+)と表す(図13(B))。

【0118】不純物領域6039~6042には、既に前工程で添加されたリン(P)またはボロン(B)が含まれているが、それに比して十分に高い濃度でリン(P)が添加されるので、前工程で添加されたリン(P)またはボロン(B)の影響は考えなくても良い。また、不純物領域6038に添加されたリン(P)濃度は図13(A)で添加されたボロン(B)濃度の $1/2 \sim 1/3$ なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0119】レジストマスク6035~6037を除去した後、画素部のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドープ法で添加した。添加するリン(P)の濃度は $1 \times 10^{18} \sim 5 \times 10^{18}$ atoms/cm²であり、図12(A)および図13(A)と図13(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を(n^-)と表す。(図13(C))

【0120】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行なう。この工程はファーンズアニール法、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)で行なうことができる。ここではファーンズアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800℃、代表的には500~600℃で行なうものであり、本実施例では500℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。なお、上述のゲート電極であるTaのピーリングを防止するために層間膜を形成した場合には、この効果は得られない場合がある。

【0121】この熱処理において、ゲート電極6028~6031と容量配線6032を形成する金属膜6028b~6032bは、表面から5~80nmの厚さで導電層(C)6028c~6032cが形成される。例えば、導電層(B)6028b~6032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)6028c~6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028~

6031及び容量配線6032を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行ない、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素、プラズマ化した水素を用いる)をおこなっても良い。

10 【0122】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン(P)の濃度は図13(B)で形成した不純物領域(n^+)と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をゲッタリングすることができた(図13(D))。

【0123】活性化および水素化の工程が終了したら、ゲート配線(走査線)とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、にチタン(Ti)やタンタル(Ta)、タングステン(W)、モリブデン(Mo)から成る導電層(E)とで形成すると良い。本実施例では、チタン(Ti)を0.1~2重量%含むアルミニウム(Al)膜を導電層(D)6045とし、チタン(Ti)膜を導電層(E)6046として形成した。導電層(D)6045は200~400nm(好ましくは250~350nm)とすれば良く、導電層(E)6046は50~200(好ましくは100~150nm)で形成すれば良い。(図14(A))

【0124】そして、ゲート電極に接続するゲート配線(走査線)を形成するために導電層(E)6046と導電層(D)6045とをエッチング処理して、ゲート配線(走査線)6047、6048と容量配線6049を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線(走査線)を形成することができた。

【0125】第1の層間絶縁膜6050は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形

成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線（信号線）6051～6054と、ドレイン配線6055～6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0126】次に、パッシベーション膜6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50～500nm（代表的には100～300nm）の厚さで形成する。この状態で水素処理を行なうとTFTの特性向上に対して好ましい結果が得られた。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行なうと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6059に開口部を形成しておいても良い。（図14（C））

【0127】その後、有機樹脂からなる第2の層間絶縁膜6060を1.0～1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB（ベンゾシクロブテン）等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜6060にドレイン配線6058に達するコンタクトホールを形成し、画素電極6061、6062を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ（ITO）膜を100nmの厚さにスパッタ法で形成した。（図15）

【0128】こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャンネル型TFT6101、第1のnチャンネル型TFT6102、第2のnチャンネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成した。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0129】駆動回路のpチャンネル型TFT6101には、島状半導体層6004にチャンネル形成領域6106、ソース領域6107a、6107b、ドレイン領域6108a、6108bを有している。第1のnチャンネル型TFT6102には、島状半導体層6005にチャンネル形成領域6109、ゲート電極6029と重なるLDD領域6110（以降、このようなLDD領域をL_{ov}と記す）、ソース領域6111、ドレイン領域6112を有している。このL_{ov}領域のチャンネル長方向の長さは0.5～3.0μm、好ましくは1.0～1.5μmと

した。第2のnチャンネル型TFT6103には、島状半導体層6006にチャンネル形成領域6113、LDD領域6114、6115、ソース領域6116、ドレイン領域6117を有している。このLDD領域はL_{ov}領域とゲート電極6030と重ならないLDD領域（以降、このようなLDD領域をL_{off}と記す）とが形成され、このL_{off}領域のチャンネル長方向の長さは0.3～2.0μm、好ましくは0.5～1.5μmである。画素TFT6104には、島状半導体層6007にチャンネル形成領域6118、6119、L_{off}領域6120～6123、ソースまたはドレイン領域6124～6126を有している。L_{off}領域のチャンネル長方向の長さは0.5～3.0μm、好ましくは1.5～2.5μmである。さらに、容量配線6032、6049と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT6104のドレイン領域6126に接続し、n型を付与する不純物元素が添加された半導体層6127とから保持容量6105が形成されている。図15では画素TFT6104をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0130】以上のように本実施例では、画素TFTおよび駆動回路が要求する仕様に依じて各回路を構成するTFTの構造を最適化し、画像表示装置の動作性能と信頼性を向上させることを可能とすることができる。

【0131】次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、透過型液晶表示装置を作製する工程を説明する。

【0132】図16を参照する。図15の状態のアクティブマトリクス基板に配向膜6201を形成する。本実施例では、配向膜6201にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板6202、遮光膜6203、透明導電膜からなる対向電極6204、配向膜6205とで構成される。

【0133】なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【0134】次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶6206を注入し、封止剤（図示せず）によって完全に封止する。よって、図16に示すような透過型液晶表示装置が完成する。

【0135】なお、上記の行程により作製されるTFTはトップゲート構造であるが、ボトムゲート構造のTFTやその他の構造のTFTに対しても本発明は適用され得る。

【0136】また、上記の行程により作製される画像表示装置は透過型の液晶表示装置であるが、本発明は反射型の液晶表示装置に対しても適用され得る。

【0137】本実施例の構成は、実施例1～4と自由に組み合わせて実施することが可能である。

【0138】（実施例6）本発明の画像表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図17に示す。

【0139】図17（A）は液晶表示装置であり、筐体2001、支持台2002、表示部2003、スピーカ部2004、ビデオ入力端子2005等を含む。本発明の画像表示装置は表示部2003に用いることができる。なお、液晶表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0140】図17（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の画像表示装置は表示部2102に用いることができる。

【0141】図17（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の画像表示装置は表示部2203に用いることができる。

【0142】図17（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の画像表示装置は表示部2302に用いることができる。

【0143】図17（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカ部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の画像表示装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0144】図17（F）はゴーグル型ディスプレイ

（ヘッドマウントディスプレイ）であり、本体2501、表示部2502、アーム部2503を含む。本発明の画像表示装置は表示部2502に用いることができる。

【0145】図17（G）はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の画像表示装置は表示部2602に用いることができる。

【0146】ここで図17（H）は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の画像表示装置は表示部2703に用いることができる。

【0147】次に、本発明の画像表示装置を用いたプロジェクター（リア型またはフロント型）について説明する。それらの一例を図18及び図19に示す。

【0148】図18（A）はフロント型プロジェクターであり、光源光学系及び表示部7601、スクリーン7602で構成される。本発明は表示部7601に適用することができる。

【0149】図18（B）はリア型プロジェクターであり、本体7701、光源光学系及び表示部7702、ミラー7703、ミラー7704、スクリーン7705で構成される。本発明は表示部7702に適用することができる。

【0150】なお、図18（C）は、図18（A）及び図18（B）中における光源光学系及び表示部7601、7702の構造の一例を示した図である。光源光学系及び表示部7601、7702は、光源光学系7801、ミラー7802、7804～7806、ダイクロイックミラー7803、光学系7807、表示部7808、位相差板7809、投射光学系7810で構成される。投射光学系7810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示部7808を三つ使用しているため三板式と呼ばれている。また、図18（C）中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等を設けてもよい。

【0151】また、図18（D）は、図18（C）中における光源光学系7801の構造の一例を示した図である。本実施例では、光源光学系7801は、リフレクター7811、光源7812、レンズアレイ7813、7814、偏光変換素子7815、集光レンズ7816で構成される。なお、図18（D）に示した光源光学系は一例であって、この構成に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有す

るフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0152】図18(C)は三板式の例を示したが、図19(A)は単板式の一例を示した図である。図19(A)に示した光源光学系及び表示部は、光源光学系7901、表示部7902、投射光学系7903、位相差板7904で構成される。投射光学系7903は、投射レンズを備えた複数の光学レンズで構成される。図19(A)に示した光源光学系及び表示部は図18(A)及び図18(B)中における光源光学系及び表示部7601、7702に適用できる。また、光源光学系7901は図18(D)に示した光源光学系を用いればよい。なお、表示部7902にはカラーフィルター(図示しない)が設けられており、表示映像をカラー化している。

【0153】また、図19(B)に示した光源光学系及び表示部は、図19(A)の応用例であり、カラーフィルターを設ける代わりに、RGBの回転カラーフィルター円板7905を用いて表示映像をカラー化している。図19(B)に示した光源光学系及び表示部は図18(A)及び図18(B)中における光源光学系及び表示部7601、7702に適用できる。

【0154】また、図19(C)に示した光源光学系及び表示部は、カラーフィルターレス単板式と呼ばれている。この方式は、表示部7916にマイクロレンズアレイ7915を設け、ダイクロイックミラー(緑)7912、ダイクロイックミラー(赤)7913、ダイクロイックミラー(青)7914を用いて表示映像をカラー化している。投射光学系7917は、投射レンズを備えた複数の光学レンズで構成される。図19(C)に示した光源光学系及び表示部は図18(A)及び図18(B)中における光源光学系及び表示部7601、7702に適用できる。また、光源光学系7911としては、光源の他に結合レンズ、コリメータレンズを用いた光学系を用いればよい。

【0155】以上の様に、本発明の画像表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～5のどのような組み合わせからなる構成を用いても実現することができる。

【0156】

【発明の効果】本発明は上記構成により、信号線駆動回路内の回路素子の数を従来例のn分の1にすることが可能である。よって、信号線駆動回路の面積を大幅に縮小

でき、画像表示装置の小型化に有効であり、さらには、画像表示装置のコスト低減、歩留まり向上に効果がある。また、階調の異なる画素の水平方向における位置が変わるため、フレーム周波数を変えなくとも人間の目に縦縞が視認されにくくなる。

【図面の簡単な説明】

【図1】 本発明の信号線駆動回路の構成を示す図。

【図2】 本発明の信号線駆動回路のタイミングチャートを示す図。

【図3】 アナログ映像信号を画素に入力する順序を示す模式図。

【図4】 信号線選択回路の回路図及びタイミングチャート。

【図5】 本発明の画像表示装置のブロック図。

【図6】 記憶回路の具体例を示す図。

【図7】 本発明の信号線駆動回路の構成を示す図。

【図8】 ビット比較パルス幅変換回路(BPC)の構成を示す図。

【図9】 図7の駆動回路のタイミングチャートを示す図。

【図10】 ランプ型D/A変換回路の動作を説明する図。

【図11】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図12】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図13】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図14】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図15】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図16】 実施例3によるアクティブマトリクス型液晶表示装置の作製工程例を示す図。

【図17】 本発明を用いた電子機器の一例を示す図。

【図18】 投影型液晶表示装置の構成を示す図。

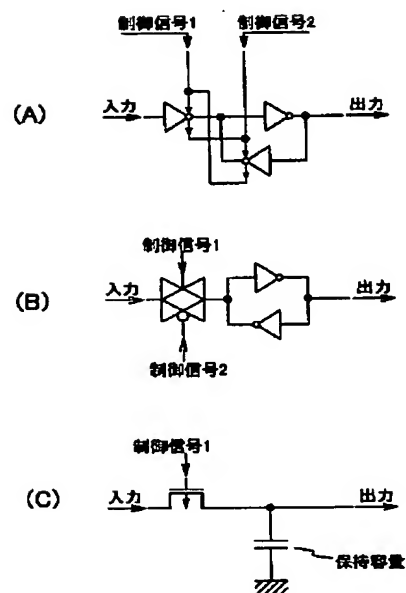
【図19】 投影型液晶表示装置の構成を示す図。

【図20】 アクティブマトリクス型液晶表示装置の構成図。

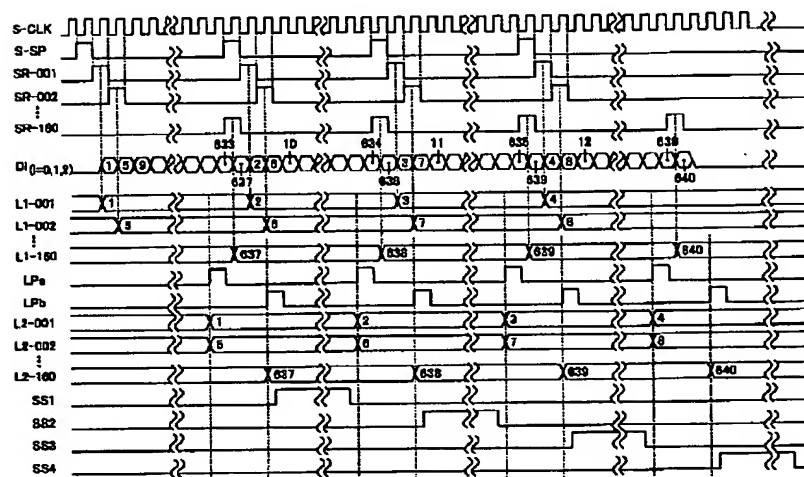
【図21】 従来のデジタル方式の信号線駆動回路の構成図。

【図22】 従来のデジタル方式の信号線駆動回路のタイミングチャート。

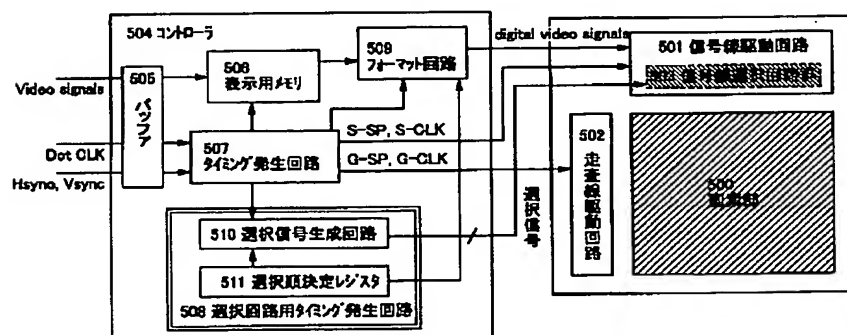
【図6】



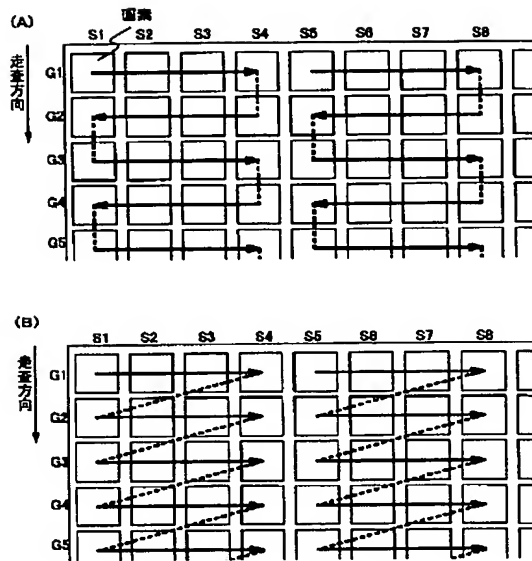
【圖 2】



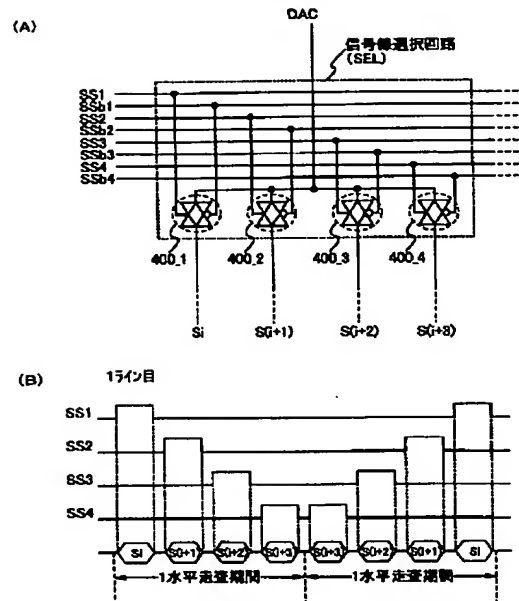
【図5】



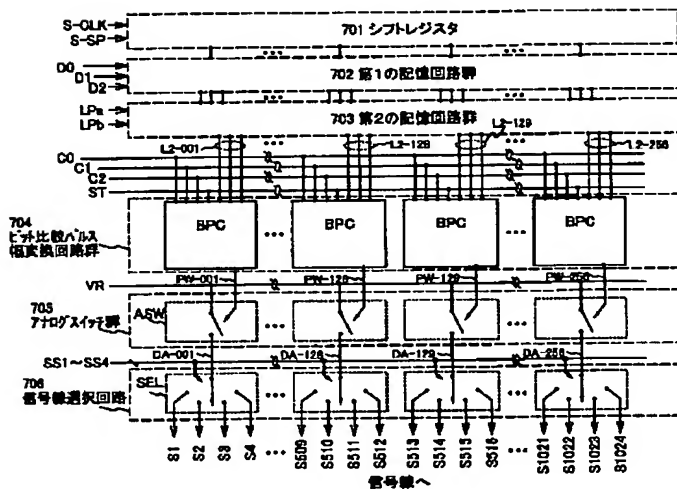
【図3】



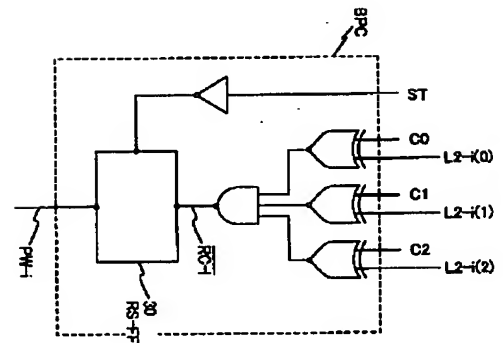
【図4】



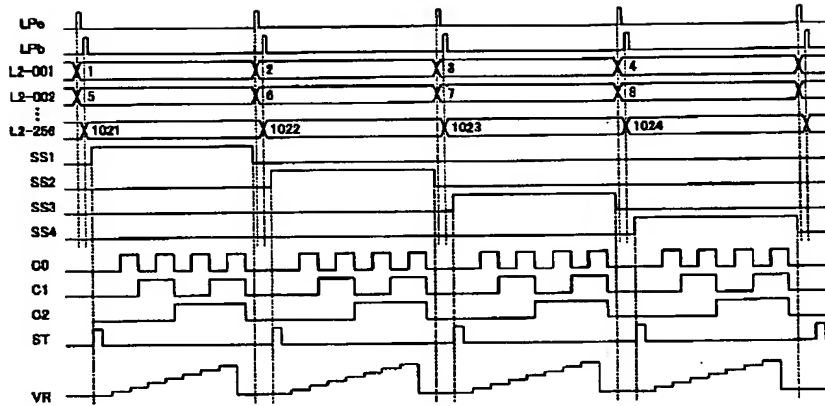
【図7】



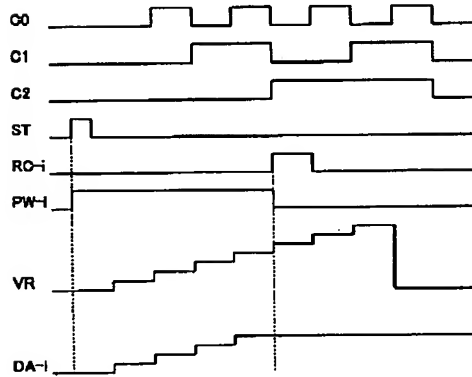
【図8】



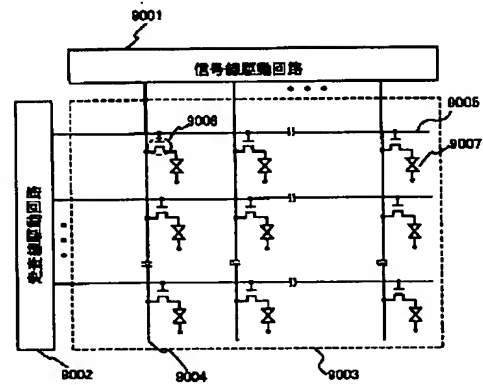
【図9】



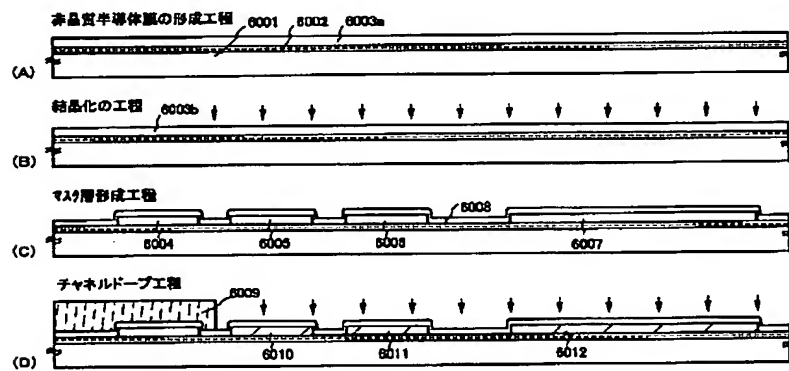
【図10】



【図20】



【図11】



第2の導電層形成工程

(A)

ゲート配線形成

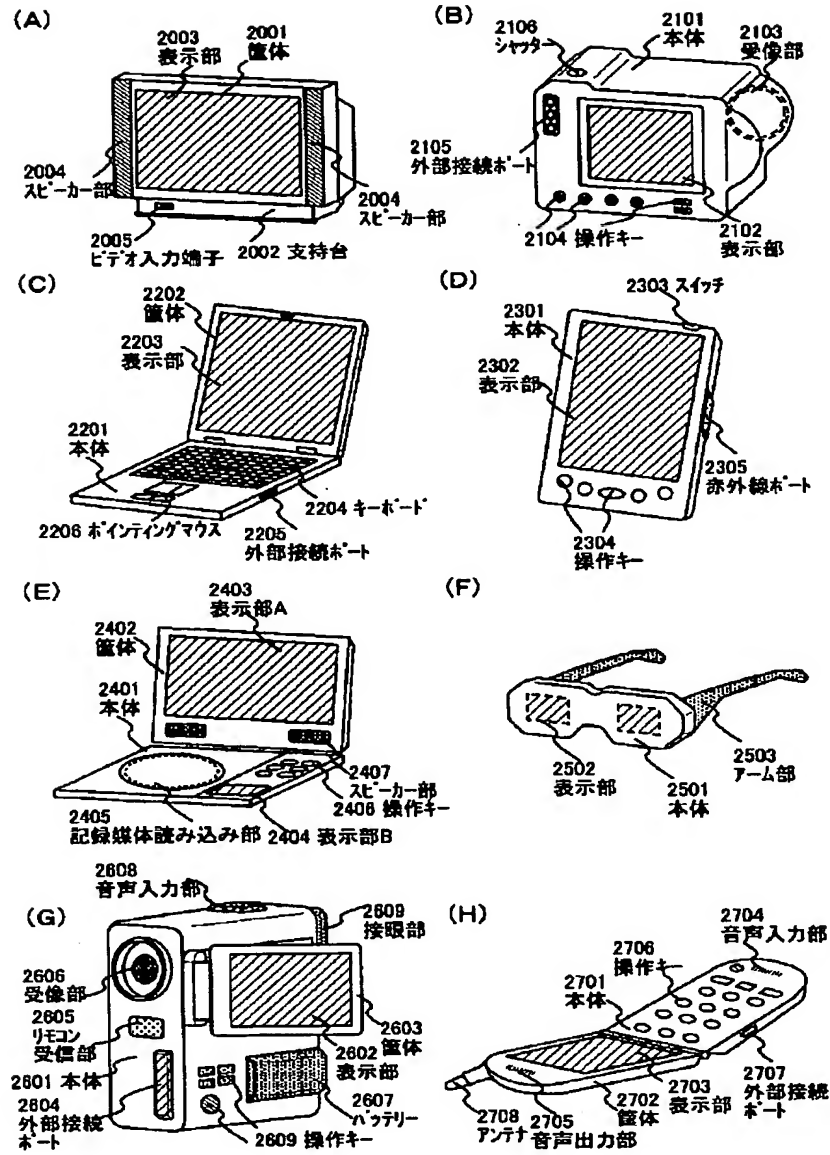
(B)

層間膜形成工程／コンタクトホール形成工程／配線形成工程

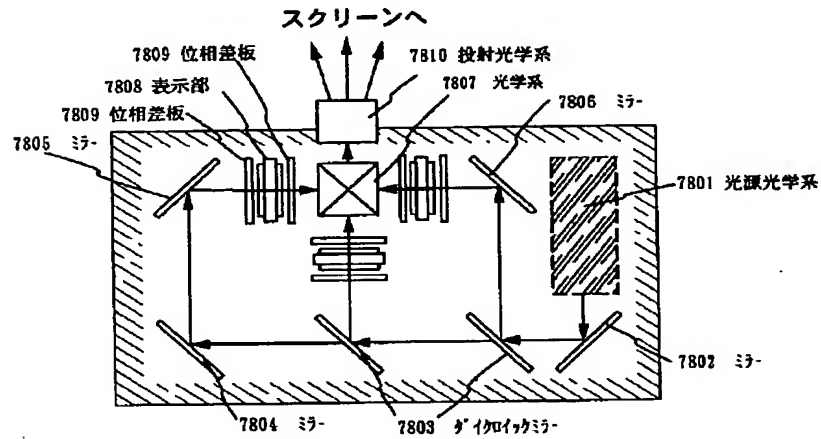
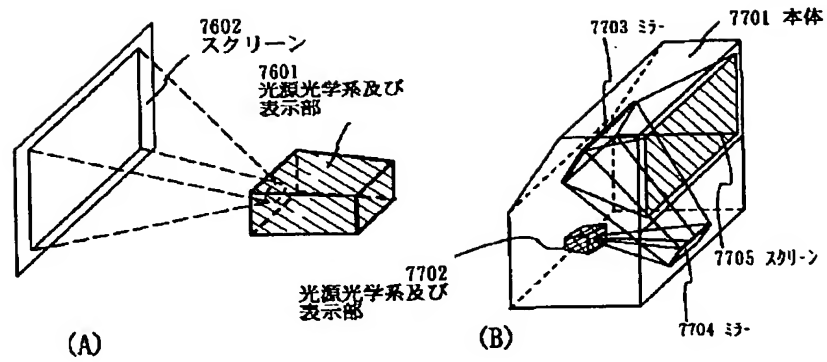
(C)

[illegible]

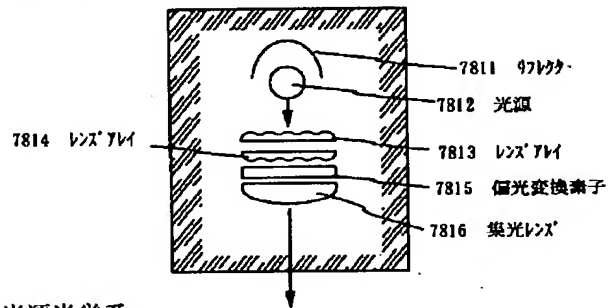
【図17】



【図18】

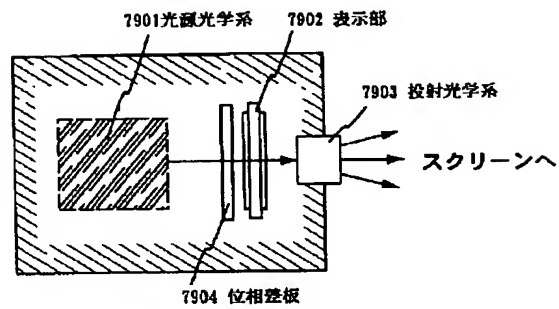


(C) 光源光学系及び表示部 (三板式)

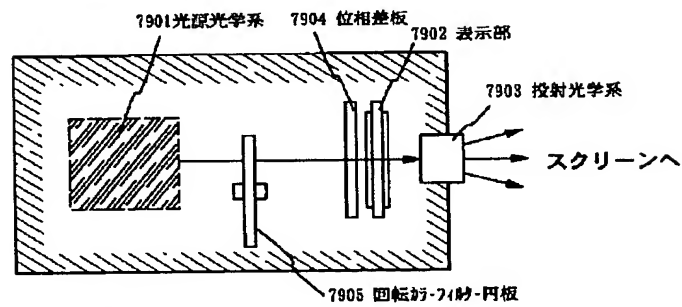


(D) 光源光学系

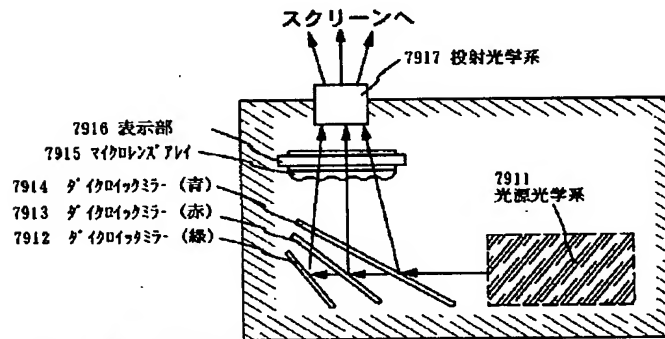
【図19】



(A) 光源光学系及び表示部（単板式）

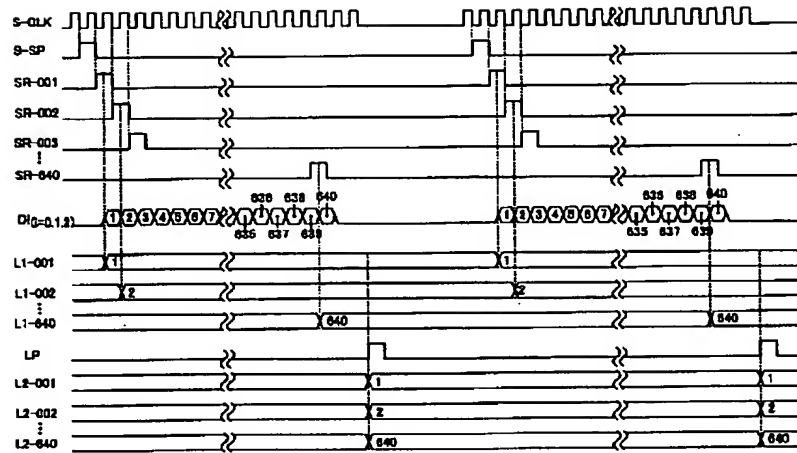


(B) 光源光学系及び表示部（単板式）



(C) 光源光学系及び表示部（単板式）

【図22】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

識別記号

F I

G 0 9 G 3/20

ターマコード (参考)

6 2 3 G

6 2 3 V

(72)発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 鷺尾 一

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

F ターム (参考) 2H092 KA03 KA04 PA06

2H093 NB07 NC11 NC22 NC24 NC26

NC34 ND42 ND49

5C006 AA01 AC21 AF43 AF82 BB16

BC12 BC16 BC23 BF03 BF04

BF24 BF26 BF27 BF34 EB05

FA41 FA52

5C080 AA10 BB05 DD22 DD27 EE29

FF11 JJ02 JJ03 JJ04 JJ06

KK02 KK07 KK43 KK47